

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-313386

(P2001-313386A)

(43)公開日 平成13年11月9日 (2001.11.9)

(51)Int.Cl.<sup>7</sup>  
H 01 L 29/66  
27/10  
29/06  
29/78  
21/8247

識別記号

4 5 1

F I  
H 01 L 29/66  
27/10  
29/06  
29/78  
3 0 1 J  
3 7 1

テマコード(参考)  
5 F 0 0 1  
5 F 0 4 0  
5 F 0 8 3

審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21)出願番号

特願2000-131633(P2000-131633)

(22)出願日

平成12年4月28日 (2000.4.28)

(71)出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72)発明者 森江 陸

広島県東広島市西条中央5-21-21

(72)発明者 岩田 穆

広島県東広島市鏡山2-360-1-301

(72)発明者 永田 真

広島県東広島市南区段原2-1-29-2-707

(74)代理人 100082876

弁理士 平山 一幸 (外1名)

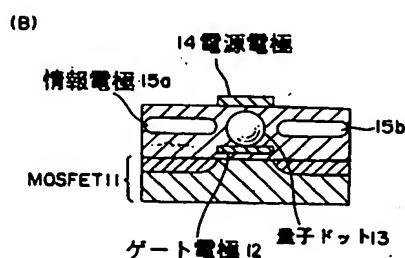
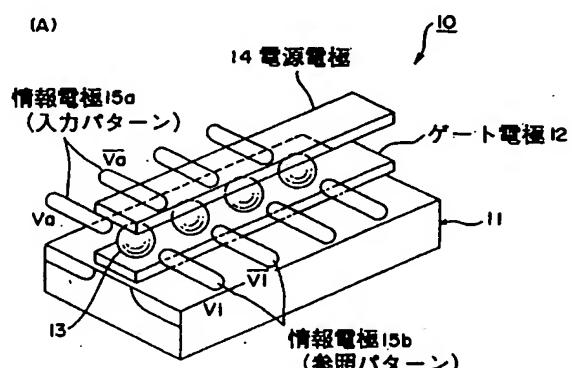
最終頁に続く

(54)【発明の名称】 情報処理構造体

(57)【要約】

【課題】 単電子動作により、高速で安定した動作が得られるようにした単電子回路による情報処理構造体を提供する。

【解決手段】 微細なMOSFET 1 1のゲート電極1 2の直上にて、ナノメータスケールの大きさの複数個の量子ドット1 3を形成し、各量子ドットとゲート電極との間に電子が直接トンネルできるエネルギー障壁を構成し、各量子ドットとゲート電極の間で移動した電子の総数により情報を表わす情報処理構造体であって、各量子ドットに接触して、各量子ドット1 3と電源電極1 4との間に電子が直接トンネルできるエネルギー障壁を構成するように電源となる一つの電源電極1 4を設け、同様に各量子ドットに接触して、各量子ドットと各情報電極とが容量結合されるように二つの情報電極1 5を設け、情報電極で決定される電位に応じて、クーロンブロッケード現象により電子が各量子ドットを通して、電源電極とゲート電極の間を移動するように構成する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 MOSFETのゲート電極の直上に複数個のナノメータスケールの微小導電体または微小半導体から成る量子ドットが設置され、この量子ドットと上記ゲート電極との間に、電子または正孔から成る電荷担体が直接トンネルできるエネルギー障壁が形成されており、上記量子ドットと上記ゲート電極の間で移動した電荷担体の総数により情報を表わすようにした情報処理構造体であって、

上記量子ドットに接して、1個の電源電極及び情報を入力する少なくとも2個の情報電極を有し、上記量子ドットと上記電源電極の間には電荷担体が直接トンネルできるエネルギー障壁が形成されており、上記量子ドットと上記情報電極の間は電荷担体が移動できない容量結合で結合されており、

上記情報電極で決定される電位に応じて、クーロンプロック現象により電荷担体が上記量子ドットを通して、上記電源電極と上記ゲート電極の間を移動することを特徴とする、情報処理構造体。

【請求項2】 MOSFETのゲート電極の直上に、複数個のナノメータスケールの大きさの微小導電体または微小半導体から成る第1の量子ドットが形成され、上記第1の量子ドットと上記ゲート電極との間に、電子または正孔から成る電荷担体が直接トンネルできるエネルギー障壁が構成されており、上記第1の量子ドットと上記ゲート電極の間で移動した電荷担体の総数により情報を表わすようにした情報処理構造体であって、

上記第1の量子ドットに接して、かつ上記ゲート電極に接触せずに、少なくとも3個以上の微小導電体または微小半導体から成る第2の量子ドットが配列され、この第2の量子ドットの配列の両端の量子ドットに接して情報を表現する情報電極が形成され、

上記第1の量子ドットと上記第2の量子ドット配列との間と、この第2の量子ドット配列と上記情報電極との間が、電荷担体が移動できない容量結合で結合されており、

上記情報電極で決定される電位に応じて、上記第2の量子ドット配列の中の電荷担体の位置分布が変わることによって、上記第1の量子ドットと上記ゲート電極との間で電荷担体の移動を制御することを特徴とする、情報処理構造体。

【請求項3】 前記第1の量子ドットが、複数個の量子ドットの列から構成され、この量子ドット列の量子ドット間には電荷担体が直接トンネルできるエネルギー障壁が形成されていることを特徴とする、請求項2に記載の情報処理構造体。

【請求項4】 前記情報電極が、微小導電体または微小半導体から成る少なくとも一個の第三の量子ドットからなり、この第三の量子ドットに蓄積された電荷担体の個数により情報を表わすことを特徴とする、請求項1から

3の何れかに記載の情報処理構造体。

【請求項5】 前記第三の量子ドットからなる情報電極に接して第二の電源電極が形成され、上記情報電極と上記第二の電源電極との間に電荷担体が直接トンネルできるエネルギー障壁が形成されており、

このエネルギー障壁に印加された電圧または光エネルギーにより、電荷担体が上記情報電極と上記第二の電源電極との間を移動することを特徴とする、請求項1から4の何れかに記載の情報処理構造体。

【請求項6】 複数の微小導電体または微小半導体を配列した第1の量子ドット列が形成され、この第1の量子ドット列の量子ドット間には電荷担体が直接トンネルできるエネルギー障壁が形成されており、上記第1の量子ドット列の両端の量子ドットに接して少なくとも二つの第1の情報電極が形成され、この第1の情報電極と上記量子ドット列の両端の量子ドットとは電荷担体が移動できない容量結合で結合されており、

上記第1の量子ドット列の中心に位置する量子ドットと接して電源電極が形成され、この電源電極と上記第1の量子ドット列の中心に位置する量子ドット間とは、電荷担体が移動できない容量結合で結合されており、

上記第1の量子ドット列の中心に位置する量子ドットと接して、複数の微小導電体または微小半導体を配列した第2の量子ドット列が形成され、この第2の量子ドット列の他端に第2の情報電極を形成し、上記第2の量子ドット列の量子ドット間、及び上記第2の量子ドット列と上記第2の情報電極の間には電荷担体が直接トンネルできるエネルギー障壁が形成されており、上記第1の量子ドット列の中心に位置する量子ドットと上記第2の量子ドット列の一端の量子ドットは電荷担体が移動できない容量結合で結合されており、

上記第1の量子ドット列の電位分布を、上記第1の量子ドット列の中心に位置する量子ドットを中心として谷を形成するように上記電源電極に電圧を印加し、上記第1の情報電極の電圧によって決定される電位分布に応じて、上記第1の量子ドット配列の中心に位置する量子ドットに設置した電荷担体が、熱搖らぎにより上記第1の情報電極のどちらかに移動する、または移動しないことを特徴とする情報処理構造体。

【請求項7】 前記第2の情報電極は、MOSFETのゲート電極であることを特徴とする、請求項6に記載の情報処理構造体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば10nm乃至0.3nm程度のナノメータスケールの電子構造体により情報処理を行なう情報処理構造体、特に単電子動作によりパターンの類似性を検出する情報処理構造体に関するものである。

## 【0002】

【従来の技術】近年、半導体装置の製造において、半導体の微細加工技術の進歩によって、例えば10nm以下の所謂ナノメータスケールの構造体を製造することができるようになってきている。このような微細加工技術を利用して、静電容量の極めて小さい構造体を作製すると、この構造体内の一個の電子の静電エネルギーが大きくなり、当該構造体内に他の電子が入れなくなるという、所謂クーロンブロッケード現象が観測されるようになると共に、電子相互のクーロン反発力によって、個々の電子の動きを制御できるようになる。

【0003】従って、電子が直接トンネル可能なエネルギー障壁（以下、トンネル接合という。）と、電子が障壁を直接トンネルできない結合（以下、容量結合という。）を組み合わせることによって、電子が存在できる微小導電体または微小半導体から成る微小な領域（以下、量子ドットという）を作製し、さらにこのような量子ドットを組み合わせることにより、電子構造体を構成することができる。上記量子ドットは、周知の如く、例えばモノシリコンの減圧CVDによるSi量子ドットの自己組織化形成方法によって形成することができる（Mat. Res. Soc. Symp. Proc. 452 (1997) 243、"Self-Assembling Formation of Silicon Quantum Dots by Low Pressure Chemical Vapor Deposition"）。

【0004】このような電子構造体により得られる電子デバイスは、電子一個の移動によってデバイス動作が行なわれ得るようになる。このような電子構造体は、所謂単電子デバイスと呼ばれており、単電子デバイスを利用した種々の単電子回路が提案されている。例えば、単電子デバイスとして、CMOSFETに類似した相補型のトランジスタを構成することが可能であり、このような相補型のトランジスタを使用した単電子論理回路も、既に提案されている（1992年、J. R. Tucker "Complementary Digital Logic Based on the "Coulomb Blockade", J. Appl. Phys., vol. 72, No. 9, pp. 4399-4413）。

【0005】しかしながら、このような単電子論理回路は、従来はトンネル接合とキャパシタを組み合わせた回路図レベルの回路構成が提案されているだけであり、実際の回路としての実現形態、即ち構造体としての提案は殆ど行なわれていない。また、メモリに関しては、従来の浮遊ゲート構造を微細化した「量子ドット浮遊ゲートメモリ構造」が提案され、さらに試作されているが、論理を実現する情報処理のための回路の実現形態即ち構造体としての提案は行なわれていない。

【0006】ところで、重要な情報処理の一つに、二つのパターンの類似度を検出するという処理がある。これは、連想メモリや、ベクトル量子化、動き予測等のバタ

ーン認識や、データ圧縮等の幅広い情報処理に利用され得る基本的な処理である。このような処理において、デジタルパターンの類似度を示す指標として「ハミング距離」がある。これは、デジタルパターン同士の互いに異なるビット数で定義されるものであり、ビット数が小さい程、ハミング距離が小さく、二つのパターンの類似性が高い、即ち二つのパターンが似ているということになる。ここで、このハミング距離は、例えばデジタルパターンの各ビットについて排他的論理和（XOR）を計算し、1となったものを総和することにより計算され得る。

【0007】ところで、図14(A)に示すように二つのトンネル接合1及び2により構成された単電子トランジスタ（以下、SETという）とキャパシタC<sub>0</sub>（例えば500aF）を組み合わせた回路は、前記クーロンブロッケード現象による非単調特性（応用物理 第66巻第2号（1997）P. 100）を示すことにより、二つのトンネル接合1及び2の中間点、すなわち、SETの孤立ノード3にそれぞれキャパシタを介して電圧V<sub>a</sub>、V<sub>b</sub>が入力されたとき、V<sub>a</sub>、V<sub>b</sub>のHレベルまたはLレベルの組み合わせに応じ、図14(B)に示すような出力電圧V<sub>co</sub>の時間特性を示す。このような特性を利用して、一個のSETとキャパシタC<sub>0</sub>との組み合わせにより、XNOR（排他的論理和の否定）ゲートを実現する単電子論理回路が提案されている（1998年、T. YAMANAKA他 "A Stochastic Associative Memory Using Single-Electron Devices and Its Application to Digit Pattern Association", in Ext. Ab. s. of Int. Conf. on SolidState Devices and Materials, pp. 190-191, Hiroshima, Sept. 1998）。

【0008】図15に示す単電子論理回路は、上記SETを電源V<sub>dd</sub>とキャパシタC<sub>0</sub>との間に2個並列に接続し、V<sub>a</sub>、V<sub>b</sub>の反転電圧も同時に入力するいわゆる相補型構造としたものである。この単電子論理回路を、デジタルパターンのビット数に等しい個数用意して、これらを共通のキャパシタ(C<sub>0</sub>)に接続することにより構成したデジタルパターンのビット比較器（図16参照）において、V<sub>a</sub>を比較されるべきデジタルパターンのビット電圧とし、V<sub>b</sub>を比較すべきデジタルパターンのビット電圧とすることによって、ビットが一致(V<sub>a</sub>=V<sub>b</sub>)したSET対では、キャパシタC<sub>0</sub>から電源V<sub>dd</sub>に電子が移動して、図15(B)で示すようにキャパシタ電位V<sub>co</sub>が上昇することにより、一致したビット数が多い程より速くキャパシタ電位V<sub>co</sub>が上昇することになる。従って、電位上昇の過渡的な変化を調べることによって、相対的なハミング距離の大小を知ることができる。このような構成によるデジタルパターンのビット比較器が提案されている。

【0009】また、単電子デバイスで構成される回路は確率的に動作することから、この確率性を逆に積極的に

利用することにより、既存のCMOS回路では実現が困難である知能的処理を実現できることが既に知られている（上記1998年、ヤマナカ他、及び1998年、M. Saen et al "A Stochastic Associative Memory Using Single-Electron Devices," IEICE Trans. Electron., vol. E81-C, No.1, pp.30-35, 1998）。

## 【0010】

【発明が解決しようとする課題】しかしながら、このような単電子論理回路は、実際にどのような構造体として作製するかについては提案されていない。また、時間が経過するとキャパシタ  $C_0$  の電位  $V_{C0}$  がハミング距離に依存せず一定になることから、安定状態ではハミング距離を計測することができないという欠点がある。

【0011】また、単電子論理回路を既存のCMOS論理回路のアーキテクチャを適用して作製することは、以下のような原理的に致命的な問題がある。即ち、第一に、単電子回路の動作で基本となるトンネル現象が確率的であることから、動作を確定させるためにはかなり長い時間が必要であり、動作速度が遅くなってしまう。従って、CMOS論理回路のアーキテクチャを適用した単電子論理回路では、既存のCMOS回路と比較して動作速度が遅いと言うことであり、優位性がない。

【0012】第二に、一つの電子の静電エネルギーが熱エネルギーよりも十分大きないと、安定した単電子動作が得られないことから、室温で単電子論理回路を動作させるためには、極めて小さな容量を実現する必要があるが、例えば室温で  $10^{10}$  ゲート以上の超大規模回路を10年程度の長期間に亘ってエラー無しで動作させるためには、 $10^{-20}$  Fオーダーの容量を実現しなければならない（S. Shimano, K. Masu, and K. Tsubouchi, "Reliability of Single Electron Transistor Circuits Based on Eb/No-Bit Error Rate Characteristics" JPN. J. Appl. Phys., vol. 38, pp. 403-405, 1999）。従って、このような小容量を実現するためには、原子スケール以下の構造体が必要になり、実際には実現不可能である。

【0013】第三に、ドット周辺に不可避的に存在する不純物や界面準位に電荷がトラップされることになり、このトラップされた電荷によって、ドットに電荷が誘起される、所謂「オフセット電荷」または「バックグラウンド電荷」があり、このために理想的な単電子動作ができないという問題がある。

【0014】本発明は、以上の点にかんがみて、室温で、単電子動作により、高速で安定した動作が得られるようにした、単電子回路による情報処理構造体を提供することを目的としている。

## 【0015】

【課題を解決するための手段】上記目的は、本発明の第一の構成によれば、微細なMOSFETのゲート電極の直上に、ナノメータスケールの大きさの複数個の微小導電体または微小半導体から成る量子ドットが形成されると共に、各量子ドットと上記ゲート電極との間に、電子または正孔から成る電荷担体が直接トンネルできるエネルギー障壁が構成されており、各量子ドットとゲート電極の間で移動した電荷担体の総数により情報を表わすようにした情報処理構造体であって、各量子ドットに接触して、各量子ドットと電源電極との間に電荷担体が直接トンネルできるエネルギー障壁を構成するように、電源となる一つの電源電極が設けられていると共に、同様に各量子ドットに接触して、各量子ドットと各情報電極とが電荷担体が移動できない容量結合で結合されるように、情報を入力する少なくとも二つの情報電極が設けられており、情報電極で決定される電位に応じて、クロップロック現象により電荷担体が各量子ドットを通して、電源電極とゲート電極の間を移動するようにしたことにより、達成される。

【0016】また、上記目的は、本発明の第二の構成によれば、微細なMOSFETのゲート電極の直上に、ナノメータスケールの大きさの複数個の微小導電体または微小半導体から成る第一の量子ドットが形成されると共に、各第一の量子ドットと上記ゲート電極との間に、電子または正孔から成る電荷担体が直接トンネルできるエネルギー障壁が構成されており、各第一の量子ドットとゲート電極の間で移動した電荷担体の総数により情報を表わすようにした情報処理構造体であって、各第一の量子ドットに接触して、ゲート電極に接触せずに、少なくとも3個の第二の量子ドットから成る量子ドット列が設けられていると共に、この量子ドット列の両端部に接触して、情報を入力する情報電極が設けられており、各第一の量子ドットと上記量子ドット列との間と、量子ドット列と情報電極との間が、電荷担体が移動できない容量結合で結合されており、情報電極で決定される電位に応じて、量子ドット列の中の電荷担体の位置分布が変わることによって、第一の量子ドットとゲート電極との間で電荷担体の移動を制御するようにしたことにより、達成される。

【0017】本発明による情報処理構造体は、好ましくは、上記第一の量子ドットが、複数個の量子ドット列から構成されている。

【0018】本発明による情報処理構造体は、好ましくは、上記情報電極が、少なくとも一個の第三の量子ドットから構成されており、第三の量子ドットに蓄積された電荷担体の個数により、情報を表わす。

【0019】本発明による情報処理構造体は、好ましくは、情報電極に接触して、この情報電極と第二の電源電極との間に電荷担体が直接トンネルできるエネルギー障壁を構成するように、第二の電源電極が設けられてお

り、このエネルギー障壁に印加された電圧または光エネルギーにより、電荷担体が情報電極と第二の電源電極との間を移動する。

【0020】また、上記目的は、本発明の第三の構成によれば、複数の微小導電体または微小半導体から成る量子ドットが配列され、量子ドット配列の量子ドット間に電荷担体が直接トンネルできるエネルギー障壁が形成されており、量子ドット配列の両端の量子ドットに接して情報電極が形成され、情報電極と量子ドット配列の両端の量子ドットとは電荷担体が移動できない容量結合で結合されており、量子ドット配列の中心に位置する量子ドットと接して電源電極が形成され、電源電極と量子ドット配列の中心に位置する量子ドット間とは、電荷担体が移動できない容量結合で結合されており、量子ドット配列の電位分布を、量子ドット配列の中心に位置する量子ドットを中心として、谷を形成するように電源電極に電圧を印加し、両端の情報電極の電圧に応じて、量子ドット配列の中心に位置する量子ドットに設置した電荷担体が、熱搖らぎにより両端の情報電極のどちらかに移動する、または移動しないようにしたことを特徴とする情報処理構造体によって達成される。

【0021】上記第一の構成によれば、MOSFETのゲート電極上に形成された各量子ドットと情報電極、電源電極により構成される単電子回路により、並列情報処理を行なって、処理結果をMOSFETのドレイン電流として取り出すことにより、各単電子回路の処理結果をMOSFETにより統合してマクロ的な情報処理を行なうことができる。従って、一個のMOSFET上にて多ビットパターンの類似度計算を行なうことができる。

【0022】この場合、各単電子回路が極めて低い消費電力であると共に、極めて高い集積性を示すことから、超並列動作を行なうことができ、回路全体として高速の処理速度が得られることになる。また、複数個の量子ドットによる並列動作によって、厳密な動作をせずに、確率的動作を行なうことにより、室温でも十分動作することになる。さらに、複数個の量子ドットによる並列動作によって、冗長構成及び多数決論理を利用して、回路全体としてオフセット電荷の影響をできるだけ抑制することができる。この場合、電源電極および情報電極は、同一の入力信号が複数の量子ドットに共通に与えられてもよいことから、量子ドットの大きさに比較して大きくてよいので、従来のリソグラフィによる配線により構成することができる。

【0023】また、上記第二の構成によれば、第一の構成と同様に動作すると共に、類似度（ハミング距離）が安定状態の電荷担体の個数として明確に定量化できる。

【0024】上記第三の構成によれば、動作温度の向上を図ることができ、室温でも十分動作可能になる。

【0025】情報電極に接触して、この情報電極と第二の電源電極との間に電荷担体が直接トンネルできるエネ

ルギー障壁を構成するように第二の電源電極が設けられており、このエネルギー障壁に印加された電圧または光エネルギーにより、電荷担体が情報電極と第二の電源電極との間を移動する場合には、上記電圧または光エネルギーの補助により、電荷担体が情報電極に置かれ、保持されることにより、情報電極に対して容易に情報が入力されることになる。

#### 【0026】

【発明の実施の形態】以下、図面に示した実施形態に基づいて、本発明を詳細に説明する。図1及び図2はこの発明による情報処理構造体の第一の実施形態を示すものである。図1において、情報処理構造体10は、MOSFET11のゲート電極12の直上に形成された10nm乃至0.3nmの大きさの複数個の量子ドット13と、各量子ドット13に上方から接触するように、量子ドット13上に形成された電源電極14と、各量子ドット13に対してそれぞれ両側から接触するように形成された情報電極15と、から構成されている。

【0027】各量子ドット13は、ゲート電極12に沿って一列に並んで、例えば自己組織化形成法により形成する微小導電体または微小半導体であり、SETの孤立ノードに相当している。さらに、各量子ドット13は、ゲート電極12に対して、トンネル接合を構成している。また、MOSFET11のゲート容量は、上記したキャパシタC<sub>0</sub>に相当する。

【0028】上記電源電極14は、図示の場合、全ての量子ドット13に上方から接触するように、プレート状に形成されており、各量子ドット13に対してトンネル接合を構成している。さらに、上記電源電極14は、電源電圧V<sub>dd</sub>が供給される。

【0029】上記情報電極15は、各量子ドット13の一側に位置する入力パターンが与えられる第一の情報電極15a(V<sub>a</sub>)と、他側に位置する参照パターンが与えられる第二の情報電極15b(V<sub>i</sub>)から成り、何れも量子ドット13に対して容量結合により結合している。この場合、情報電極15は、例えばリソグラフィによる配線パターンにより構成されているが、電荷を蓄積する量子ドットにより構成されてもよい。さらに、同一の入力信号が複数の量子ドット13に共通に与えられてもよいので、量子ドット13の大きさと比較して、情報電極15はその配線パターンが太くても、または量子ドットが大きくてもよい。

【0030】このようにして、一対の量子ドット13が、二対の情報電極15a, 15bと共にSET対を構成して、図2に示す等価回路を構成することになる。これは、図1に示した単電子論理回路と同様の構成になる。

【0031】本発明による情報処理構造体10は以上のように構成されており、各SET対にて、一対の情報電極15a, 15bに比較すべき二つのデジタルパターン

の各ビットの入力電圧  $V_a$ ,  $V_i$  が与えられ、他の対の情報電極 15a, 15b に、 $V_a$ ,  $V_i$  の反転電圧が与えられることにより、図 15 の単電子論理回路と同様に情報処理が行なわれ、その結果がキャパシタ  $C_0$  の電位  $V_{C0}$  の上昇となり、さらに MOSFET のドレイン電流として取り出されることになる。これにより、図 15 に示した単電子論理回路と同様に、比較すべき二つのデジタルパターンの類似性が大きい程、ハミング距離が小さいキャパシタ  $C_0$  の電位が速く上昇するので、その立ち上がり速度の比較からハミング距離を相対的に決定することができる。

【0032】この場合、各SET対が極めて低い消費電力であると共に、極めて高い集積性を示すことから、超並列動作を行なわせることにより、回路全体としては高速の処理速度が得られる。さらに、複数個の量子ドット 13 による並列動作によって、冗長構成及び多数決論理を利用して、回路全体としてオフセット電荷の影響をできるだけ抑制することができる。ここで、電源電極 14 は、例えば従来のリソグラフィによる配線により構成することができるので、より簡単に低コストで並列構成、または冗長構成を形成することができる。

【0033】さらに、情報電極 15 が量子ドットにより構成されている場合には、情報電極 15 が電子を保持し得ることから、情報電極 15 自体に情報を記憶させることができるので、情報電極 15 に対して情報を記憶させる手段を設ける必要がない。

【0034】図 3 乃至図 6 は本発明による情報処理構造体の第二の実施形態を示している。図 3において、情報処理構造体 20 は、MOSFET 11 のゲート電極 12 の直上に形成された複数個の量子ドット 13 と、各量子ドット 13 に上方から接触するように、量子ドット 13 上に形成された三個の第二の量子ドット 21a から成る量子ドット列 21 と、この量子ドット列 21 に上方から接触するように、量子ドット列 21 上に形成された電源電極 14 と、各量子ドット列 21 の両端の第二の量子ドット 21a に対してそれぞれ両側から接触するように形成された情報電極としての量子ドット 22 と、から構成されている。尚、図 1 に示した情報処理構造体 10 における構成要素と同じ構成要素には、同一の符号を付して、その説明は省略する。

【0035】上記量子ドット列 21 は、各第二の量子ドット 21a 間にトンネル接合が構成されると共に、両端の第二の量子ドット 21a と情報電極 22 の間、そして第二の量子ドット 21a と電源電極 14 との間には、容量結合が構成されている。

【0036】情報電極 22 は、量子ドット列 21 の両端にそれぞれ設けられていると共に、それぞれ量子ドットにより構成されている。

【0037】ここで、図 4 は、モンテカルロシミュレーション法によって、この単電子論理回路が動作するため

に必要な上記キャパシタ  $C_0$  の容量範囲を、量子ドットの寄生容量をパラメータに計算したものである。図 4 に示すように、 $10^{-15}$  F のオーダーでも動作可能があるので、MOSFET 11 としては、ゲート長が 10 nm オーダーの微細 MOSFET を利用することができる。

【0038】このような構成の情報処理構造体 20 においては、一つの量子ドット 13 が、一組の量子ドット列 21、一対の情報電極 22 と共に、図 5 に示す等価回路を構成することになる。そして、図 6 に示すように、上記量子ドット列 21 の第二の量子ドット 21a (図示の場合、中央の量子ドット 21a) に、電子  $e_m$  を置く。これは、電源電極 14 に高電圧を印加して、例えばファウラー・ノルトハイム・トンネル現象を利用して、電子を当該量子ドット 21a に供給することにより、行なわれる。

【0039】また、量子ドット列 21 の外側に、さらに容量結合した第二の電源電極 (図示せず) を設けて、この第二の電源電極に高電圧を印加して、同様にファウラー・ノルトハイム・トンネル現象を利用して、電子を当該量子ドット 21a に供給するようにしてよい。この場合、さらにこの部分に光を照射して、光エネルギーの補助により、電子をトンネルさせるようにしてもよい。このようにすると、個別に電子を置くための配線パターンを引き回す必要がなく、しかも画像データ等のデジタルパターンを直接に量子ドットに記憶させることができる。

【0040】ここで、両端の情報電極 22 の電位が等しい場合には、電子  $e_m$  に作用するクーロン力が対称になるので、図 6 (B) に示すように、電子  $e_m$  は、中央の量子ドット 21a で安定化する。これに対して、二つの情報電極 22 の電位が等しくない場合には、図 6 (C) に示すように、電子  $e_m$  は、中央の量子ドット 21a から外れて、何れかの端部の量子ドット 21a (図示の場合、左端の量子ドット 21a) に移動して、安定化する。これにより、電子  $e_m$  が中央の量子ドット 21a に位置するか否かによって、二つの情報電極 22 のデータが等しいか否かを判定することができる。即ち、量子ドット列 21 は、判定ドット列として排他的論理和を実現することになる。

【0041】このようにして、量子ドット列 21 において、二つの情報電極 22 の電位に応じて電子  $e_m$  が移動することにより、この電子  $e_m$  を量子ドット 13 に置いた電子  $e_R$  により検出することができる。即ち、図 5 に示すように、量子ドット列 21 の中央の第二の量子ドット 21a に電子  $e_m$  が位置する場合には、量子ドット 13 の電子  $e_R$  は、クーロン反発力によってキャパシタ  $C_0$  にトンネルする。これにより、情報処理構造体 20 は、ビット比較器即ち排他的論理和 (XOR) を実現することになり、図 1 の情報処理構造体 10 の場合と同様に、キャパシタ  $C_0$  を共通にしてビット比較器を複数個

接続することにより、キャパシタ  $C_0$  にハミング距離に応じた個数の電子が蓄積され、これをMOSFETのドレンイン電流として取り出すことができる。この場合、ハミング距離は、キャパシタ  $C_0$  の安定状態によって、電子の個数として検出されることになるので、正確なハミング距離を表現することができる。尚、電子  $e_R$  が位置していた量子ドット 1 3 には、容量結合を介してバイアス電圧が印加され、このバイアス電圧を適宜に調整して、キャパシタ  $C_0$  に移動した電子  $e_R$  を戻すことにより、初期化を行なう。

【0042】図3に示した情報処理構造体20においては、量子ドット列21の中央の第二の量子ドット21aに対向して、量子ドット13が設けられているが、図7に示すように、量子ドット列21の両端の第二の量子ドット21aに対して、それぞれ対向するように二つの量子ドット13を設け、中央の第二の量子ドット21aに電子  $e_M$  をおくようにしてよい。この場合、二つの量子ドット13が、一組の量子ドット列21、一对の情報電極22と共に、図8に示す等価回路を構成する。

【0043】このような構成によれば、同様にして、量子ドット列21において、二つの情報電極22の電位に応じて電子  $e_M$  が移動することにより、この電子  $e_M$  を量子ドット13に置いた電子  $e_R$  により検出することができる。即ち、図8に示すように、量子ドット列21の中央の第二の量子ドット21aに電子  $e_M$  が位置しない場合には、何れか一方の量子ドット13の電子  $e_R$  は、対向する第二の量子ドット21aに位置する電子  $e_M$  との間のクーロン反発力によってキャパシタ  $C_0$  にトンネルする。これにより、情報処理構造体20はビット比較器即ち排他的論理和の否定(XNOR)を実現することになり、同様に、キャパシタ  $C_0$  を共通にしてビット比較器を複数個接続することにより、キャパシタ  $C_0$  にハミング距離に応じた個数の電子が蓄積され、これをMOSFETのドレンイン電流として取り出すことができる。

【0044】図9乃至図13は、本発明による情報処理構造体の第三の実施形態を示している。図9において、情報処理構造体30は、図3に示した情報処理構造体20と比較して、量子ドット列21を構成する第二の量子ドット21aを例えば11個に増やすと共に、量子ドット13を三個の量子ドット31aから成る量子ドット列31により構成し、さらに量子ドット列21の中央の第二の量子ドット21aが容量結合(C3)によりアース接続されている点で異なる構成になっている。この構成を、量子ドット、量子ドット間の距離及び量子ドットと電極間の距離によって模式的に示すと、情報処理構造体30は図10に示す構成になっている。

【0045】このような構成の情報処理構造体30によれば、情報電極22の電位を適宜に設定することにより、図11(A)及び図12に示すように、量子ドット列21全体にて、中央でややポテンシャルが低く、両端

で最もポテンシャルが低くなるように、ポテンシャル障壁が構成されている。従って、双方の情報電極22の電位が同じ場合には、このようなポテンシャル障壁によって、中央に位置する電子は、中央に留まつたままで移動することができない。もちろん、温度が上昇し長時間たつと、熱エネルギーの補助により、即ち熱振るぎにより、中央に位置する電子は、両側のポテンシャル障壁を越えることができるようになり、両端の量子ドット21aまで移動する。

【0046】これに対して、双方の情報電極22の電位が異なる場合には、図11(B)に示すように、量子ドット列21の一側(図示の場合、右側)の端部付近のポテンシャル障壁が最も低くなり、そこまでのポテンシャル障壁も低くなるので、中央に位置する電子が右端の量子ドット21aに移動し得る。このようにして、室温附近においてある時間レンジで観測したときに、情報電極22、22の電位が等しい場合には、電子が量子ドット列の中央の量子ドットに位置し、情報電極の電位が異なる場合には、電子が量子ドット列の何れかの端部の量子ドットに位置することになる。従って、図3に示した情報処理構造体20の場合と同様にして、キャパシタ  $C_0$  を共通にして、図9の構成を複数個接続することにより、MOSFETのゲート容量であるキャパシタ  $C_0$  にハミング距離に応じた個数の電子が蓄積され、これをMOSFETのドレンイン電流として取り出すことができる。この場合、情報処理構造体30は、量子ドット列21が多数の量子ドット21aから構成されることにより、熱振るぎを利用して確率論的動作を行なうことになり、室温でも十分に動作する。

【0047】例えば、キャパシタ  $C_0$  の容量を100aF、トンネル抵抗を5MΩとして、 $10^{-6}$ 秒程度の時間レンジで観測すると、図13のシミュレーション結果に示すように、室温(300K)においてほぼ適正なXOR動作が可能になる。尚、この場合、情報処理構造体30は確率論的動作を行なうので、厳密なXOR動作とはならないが、適宜の時間における平均電位を求めるこによって、動作精度を向上させることができると共に、確率論的動作を積極的に利用することにより、既存のCMOS回路では実現できなかった知能的処理を行なうこと也可能である。

【0048】上述した実施形態においては、情報電極の電位に応じて移動する電荷担体が電子である場合について説明したが、これに限らず、電荷担体としては正孔であってもよいことは明らかである。

#### 【0049】

【発明の効果】以上述べたように、本発明によれば、MOSFETのゲート電極上に形成された10nm乃至0.3nmのオーダーの大きさの量子ドットを含む単電子回路により並列情報処理を行なって、その処理結果をMOSFETのドレンイン電流として取り出すことにより、

各単電子回路の処理結果をMOSFETにより統合してマクロ的な情報処理を行なうことができる。従って、一個のMOSFET上にて多ビットパターンの類似度計算を行なうことができる。実施の形態1に説明した本発明による情報処理構造体は、単純な構造でパターンの類似度が比較できる。実施の形態2に説明した本発明による情報処理構造体は、実施の形態1に較べるとやや複雑であるが、類似度（ハミング距離）が安定状態の電子の個数として明確に定量化できるというメリットがある。また、実施の形態3に説明した本発明による情報処理構造体は、動作温度の向上が図れ、室温動作も可能である。また、本発明によれば、極めて低い消費電力であると共に、極めて高い集積性を示すことから、超並列動作を行なうことにより高速の処理速度が得られる。さらに、複数個の量子ドットによる並列動作によって、冗長構成及び多数決論理を利用して、回路全体としてオフセット電荷の影響をできるだけ抑制することができる。したがって、本発明による情報処理構造体は、パターンの類似度を利用する情報処理を実行する装置や、ニューラルネットワーク等に基づく知能処理機械・学習機械、さらには連想処理装置等に応用することが可能である。

【0050】このようにして、本発明によれば、室温にて単電子動作により高速で安定した動作が得られるようにした、極めて優れた単電子回路による情報処理構造体が提供される。

#### 【図面の簡単な説明】

【図1】本発明による情報処理構造体の第一の実施形態の構成を示すもので、(A)は概略斜視図、(B)は断面図である。

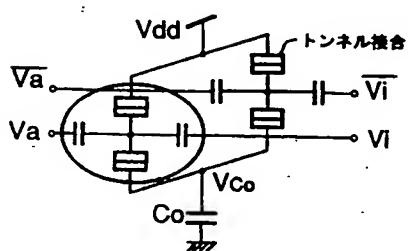
【図2】図1の情報処理構造体の一対の量子ドットを含む単電子回路の等価回路を示す図である。

【図3】本発明による情報処理構造体の第二の実施形態の構成を示すもので、(A)は概略斜視図、(B)は断面図である。

【図4】図3の情報処理構造体における動作（処理情報のビット長）とキャパシタの容量との関係を示すグラフである。

【図5】図3の情報処理構造体の構成を示す等価回路で

【図2】



ある。

【図6】図3の情報処理構造体における動作原理を示す概略図である。

【図7】図3の情報処理構造体の変形例の構成を示し、(A)は概略斜視図、(B)は断面図である。

【図8】図7の情報処理構造体の構成を示す等価回路である。

【図9】本発明による情報処理構造体の第三の実施形態を示す等価回路である。

【図10】図9の情報処理構造体を公式化して示す概略図である。

【図11】図9の情報処理構造体における動作原理を示す概略図である。

【図12】図9の情報処理構造体におけるポテンシャル障壁を示すグラフである。

【図13】図9の情報処理構造体における動作シミュレーションを示すグラフである。

【図14】単電子トランジスタの構成を示すもので、(A)は回路図、(B)は動作を示すグラフである。

【図15】単電子トランジスタ対による論理回路の構成を示し、(A)は回路図、(B)は動作を示すグラフである。

【図16】図15の単電子トランジスタ対を複数個組み合わせた単電子論理回路を示す概略図である。

#### 【符号の説明】

10, 20, 30 情報処理構造体

11 MOSFET

12 ゲート電極

13 量子ドット

14 電源電極

15 情報電極

15a 情報電極（入力パターン）

15b 情報電極（参照パターン）

21 量子ドット列

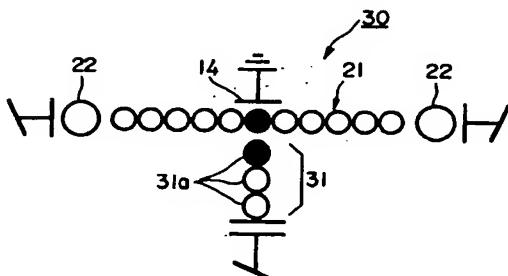
21a 第二の量子ドット

22 情報電極

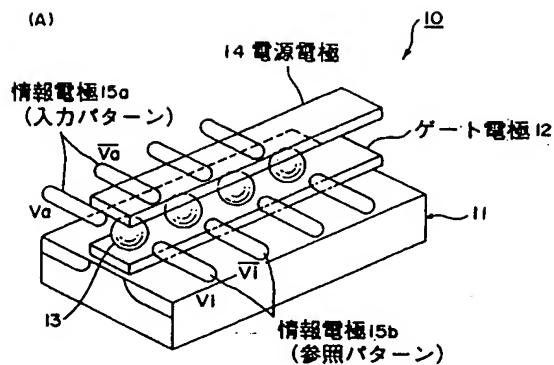
31 量子ドット列

31a 量子ドット

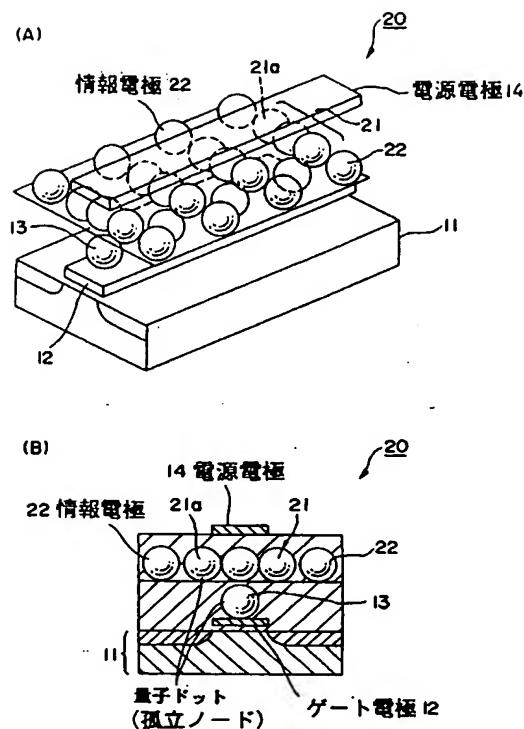
【図10】



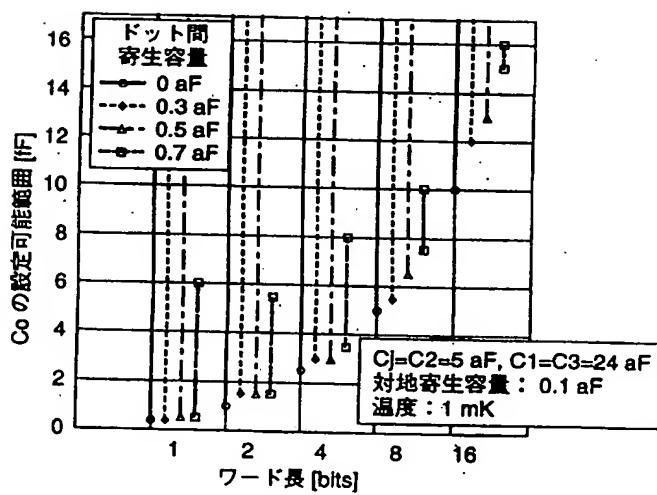
【図1】



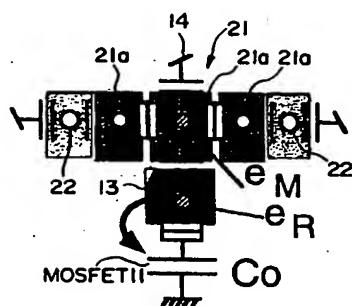
【図3】



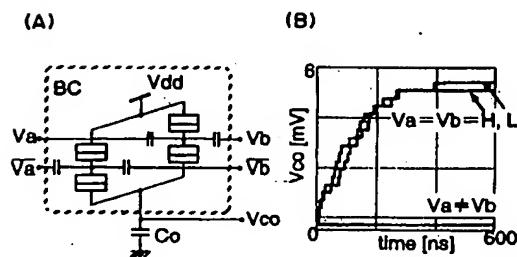
【図4】



【図5】

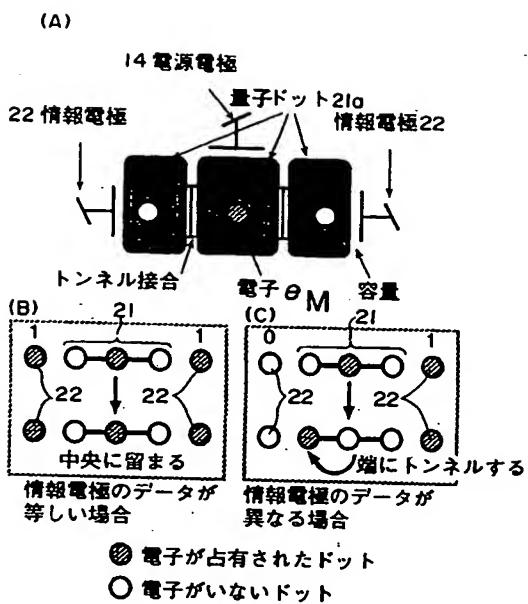


【図15】

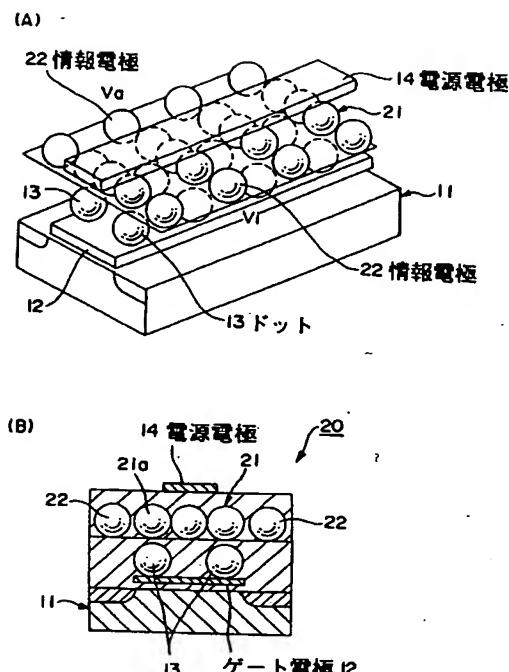


BEST AVAILABLE COPY

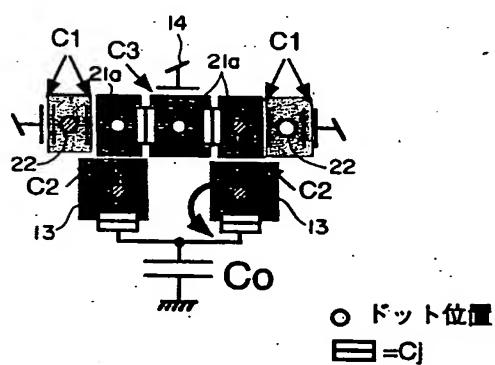
【図6】



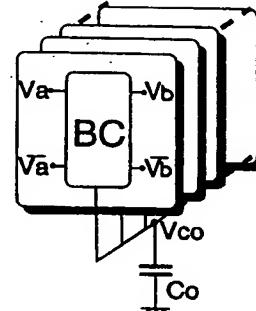
【図7】



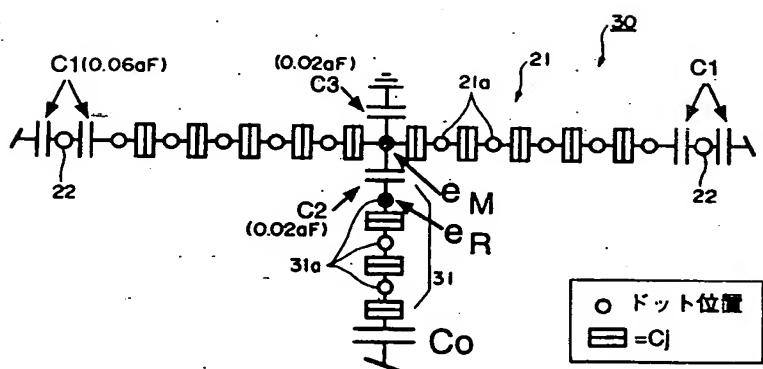
【図8】



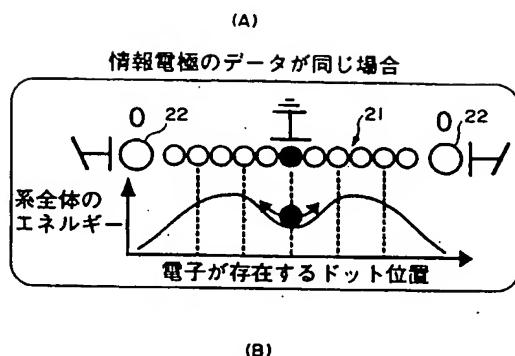
【図16】



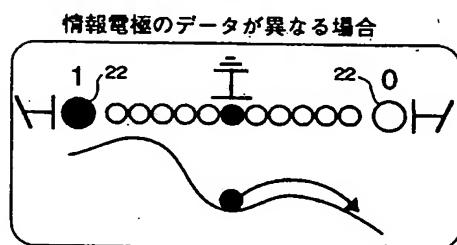
【図9】



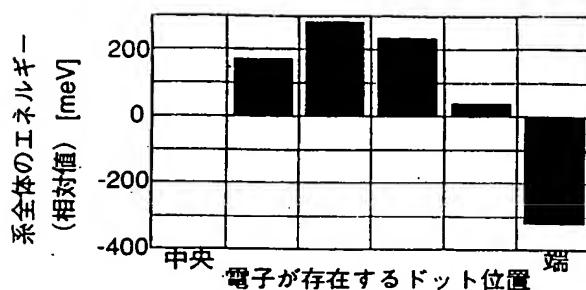
【図11】



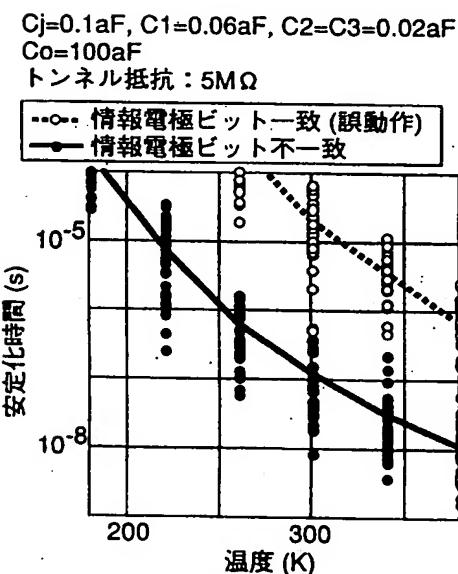
(B)



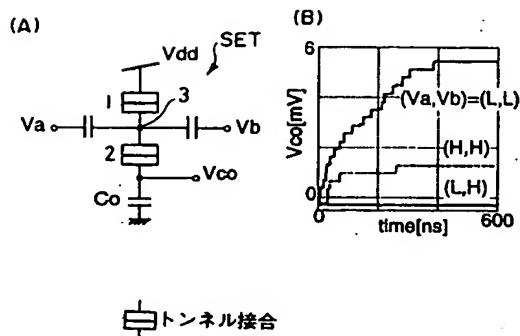
【図12】



【図13】



【図14】



フロントページの続き

(51) Int.C1.<sup>7</sup>  
H O 1 L 29/788  
29/792

識別記号

F 1

マーク一 (参考)

BEST AVAILABLE COPY

(72)発明者 山中 登志夫  
広島県東広島市西条町下見1939-1-201

(72)発明者 松浦 知宏  
広島県東広島市西条町寺家7410-2-B-  
25

F ターム(参考) 5F001 AA10 AF06  
5F040 DC01 EA00 EA09 EB11  
5F083 FZ01 GA01